

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-236006

(43)Date of publication of application : 16.10.1987

(51)Int.Cl.

G05B 19/18

(21)Application number : 61-079557

(71)Applicant : FANUC LTD

(22)Date of filing : 07.04.1986

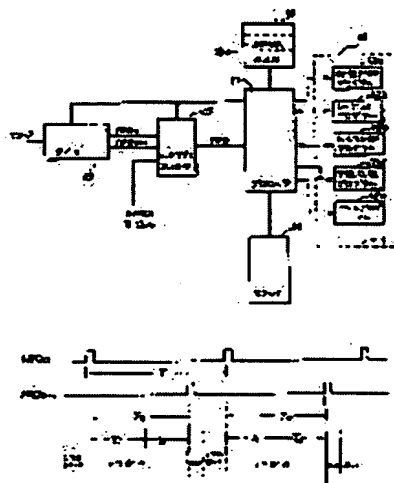
(72)Inventor : IKEDA YOSHIKI  
KUWAZAWA MITSURU

## (54) PROCESSING METHOD FOR NUMERICAL CONTROLLER

### (57)Abstract:

**PURPOSE:** To improve the availability of a processor by adding a command for reference to the position of a sequence program to be executed next to the end of a numerical control (NC) processing program and shifting the sequence processing from the NC processing by said command.

**CONSTITUTION:** A command is added to the end of an NC control program 12a for reference to the contents of a prescribed address of a RAM13. This address stores the position (program pointer) SPNO of a sequence program 12b to be executed next. Thus a processor 11 reads the pointer SPNO after the NC processing and then restarts the sequence processing at the position indicated by the pointer SPNO. Then the sequence processing is carried out continuously until a timer interruption IRQn+1 is produced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭 6 2 - 2 3 6 0 0 6

(43) 公開日 昭和62年(1987)10月16日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 B 19/18	Z		G 0 5 B 19/18	Z

審査請求 有

(全 5 頁)

(21) 出願番号	特願昭61-79557	(71) 出願人	999999999 ファナック株式会社 山梨県南都留郡忍野村忍草字古馬場3580番地
(22) 出願日	昭和61年(1986)4月7日	(72) 発明者	池田 良昭 東京都日野市旭が丘3丁目5番地1 ファナック株式会社商品開発研究所内
		(72) 発明者	桑沢 満 東京都日野市旭が丘3丁目5番地1 ファナック株式会社商品開発研究所内
		(74) 代理人	齋藤 千幹

(54) 【発明の名称】 N C 装置の処理方法

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

**【特許請求の範囲】**

所定時間毎に、数値制御プログラムに基づく数値制御処理とシーケンスプログラムに基づくシーケンス制御処理とを時分割的に実行する N C 装置の処理方法において、タイマ割込みにより次に実行すべきシーケンスプログラムの位置を所定の記憶域に記憶させると共に、前記数値制御プログラムに基づく数値制御処理の終了後に前記シーケンスプログラムの位置を参照し、該位置からシーケンスプログラム処理をタイマ割込が生じる迄実行することを特徴とする N C 装置の処理方法。

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-236006

⑮ Int.Cl.<sup>4</sup>  
G 05 B 19/18識別記号 庁内整理番号  
Z-8225-5H

⑭ 公開 昭和62年(1987)10月16日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 NC装置の処理方法

⑰ 特 願 昭61-79557

⑱ 出 願 昭61(1986)4月7日

⑲ 発 明 者 池 田 良 昭 日野市旭が丘3丁目5番地1 ファナック株式会社商品開発研究所内

⑳ 発 明 者 桑 沢 満 日野市旭が丘3丁目5番地1 ファナック株式会社商品開発研究所内

㉑ 出 願 人 ファナック株式会社 山梨県南都留郡忍野村忍草字古馬場3580番地

㉒ 代 理 人 弁理士 斉藤 千幹

## 明 細 書

## 1. 発明の名称

NC装置の処理方法

## 2. 特許請求の範囲

所定時間毎に、数値制御プログラムに基づく数値制御処理とレーケンスプログラムに基づくレーケンス制御処理とを時分制的に実行するNC装置の処理方法において、

タイマ割込みにより次に実行すべきレーケンスプログラムの位置を所定の記憶域に記憶させると共に、

前記数値制御プログラムに基づく数値制御処理の終了後に前記レーケンスプログラムの位置を参照し、

該位置からレーケンスプログラム処理をタイマ割込が生じる迄実行する

ことを特徴とするNC装置の処理方法。

## 3. 発明の詳細な説明

&lt;産業上の利用分野&gt;

本発明はNC装置の処理方法に係り、特に1台

のプロセッサが所定時間毎に数値制御プログラムに基づく数値制御処理とレーケンスプログラムに基づくレーケンス制御処理とを時分制的に実行するNC装置の処理方法に関する。

&lt;従来技術&gt;

数値制御システムにおいて、NC装置のプロセッサは、

(1)数値制御プログラムの制御下においてNCデータ(パートプログラムデータ)に基づいた数値制御処理を実行して機械可動部(工具またはテーブル)を移動させると共に、

(2)レーケンスプログラムの制御下においてNCデータに含まれるM-、S-、T-機能命令や工作機械からの接点信号等に応じたレーケンス処理を実行し、該処理結果に基づいて工作機械の各機械要素を制御する。

尚、プロセッサは所定時間毎に数値制御プログラムに基づく数値制御処理とレーケンスプログラムに基づくレーケンス制御処理とを時分制的に実行する。

## 特開昭62-236006 (2)

第5図は数値制御プログラム処理とシーケンスプログラム処理を1台のプロセッサが時分的に実行するNC装置のブロック図であり、1はNC装置、2は工作機械である。

又、101はNCデータ(パートプログラムデータ)が穿孔されたNCテープ、102はテープリーダー(尚、他の媒体及び読取装置でもよい)、103はNCテープに穿孔されたNCデータその他処理結果を記憶するRAM、104は数値制御プログラムが記憶されたROM、105はプロセッサ(CPU)、106は所定時間当たりの各軸移動量X、Yを入力されてパルス分配演算を実行するパルス分配回路、107はバス線、108はマニュアル・データ・インプット装置(MDI装置)、109はインタフェース回路、110は各種パラメータを記憶するパラメータメモリ、111はEROM(書き換え可能なROM)である。EROM110には

- (a)シーケンスプログラムと、
- (b)シンボル(オペランド)とその論理値("1"か"0")を記憶するRAM103における記憶場所との対応テーブル

等が記憶されている。

シーケンスプログラムはNC装置1と工作機械2間のデータ授受を司る強電回路の機能を命令コードとオペランドで論理的にプログラムしたもので、たとえば第6図に示すようにプログラムされている。尚、シーケンスプログラム中におけるRD、OR、AND、WRT、AND・NOT、OR・NOT・・・はそれぞれ命令コードで、RDは読出し命令、ANDは論理積命令、WRTは書き込み命令、ORは論理和命令、AND・NOTは否定値との論理積命令、OR・NOTは否定値との論理和命令である。又、MF、M28、・・・AUT、M03、・・・CRAはシンボルで表現されたオペランドで、その論理値("1"または"0")はRAM103の所定番地、所定ビットに記憶されている。

プロセッサ105は所定時間毎に数値制御プログラムに基づく数値制御処理とシーケンスプログラム

に基づくシーケンス制御処理とを時分的に実行しており、シーケンス制御処理においてはシーケンスプログラムの各命令を先頭から順次実行している。

#### <発明が解決しようとしている問題点>

さて、システムが大きくなる程、たとえば制御軸数が多くなればなる程数値制御処理に要する時間が多く必要になる。このため、従来はシステムが最大のものを想定して数値制御処理を実行する時間 $T_1$ とシーケンス処理を実行する時間 $T_2$ を定め、所定時間 $T$ 毎に( $T > T_1 + T_2$ )数値制御処理( $T_1$ )とシーケンス処理( $T_2$ )を時分割処理している。

しかし、かかる処理方法ではシステムが小さくなって数値制御処理に必要な時間が短くなっても、上記シーケンス処理を行う時間 $T_2$ は一定であり、プロセッサの使用効率が悪いという問題があった。

以上から、本発明の目的はシステム構成に応じて数値制御処理時間とシーケンス処理時間を可変できるようにしたNC装置の処理方法を提供する

ことである。

#### <問題点を解決するための手段>

第1図は本発明にかかる処理方法を実現するNC装置の要部ブロック図である。

11はプロセッサ、12は各種プログラムを記憶するメモリ、12aは数値制御プログラム、12bはシーケンスプログラム、12cはCRTやキーボード等の入出力制御プログラム、12dは割込処理プログラム、12eはパートプログラム、13はRAM、14はスタック、15はインタラプトコントローラ、16はタイマである。

#### <作用>

プロセッサ11はタイマ16からのタイマ割込IRQ。毎に、数値制御プログラム12aに基づく数値制御処理とシーケンスプログラム12bに基づくシーケンス制御処理とを時分的に実行する。そして、数値制御処理実行後のシーケンス処理の実行中にタイマ16からタイマ割込みIRQ...が発生すれば、インタラプトコントローラ15はプロセッサ11に割込要求IRQとその割込レベ

## 特開昭62-236006 (3)

ル ( $n+1$ ) を入力する。

これにより、プロセッサ11はプロセッサ内の各種レジスタの内容や次に実行すべきシーケンスプログラムの位置(プログラムポインタ)SPNO、をRAM13の所定の記憶域13aへ送還すると共に、IRQ<sub>n</sub>とIRQ<sub>n+1</sub>のインタラプトフラグを解除し、ついでIRQ<sub>n+1</sub>にリターンすべくスタックポインタを書き換えてIRQ<sub>n+1</sub>よりリターンする。その後プロセッサ11はIRQ<sub>n+1</sub>を發行し、所定時間後にタイマ割込IRQ<sub>n</sub>が発生すれば、インタラプトコントローラ15はプロセッサ11に割込要求IRQとその割込レベル(n)を入力する。これにより、プロセッサ11は数値制御プログラム13aに基づく数値制御処理を実行し、数値制御処理の終了後にRAM13の所定アドレスに記憶されている前記プログラムポインタSPNO、を参照し、該プログラムポインタが指示する位置からシーケンスプログラム12bによるシーケンス処理を続行する。

そして、タイマ割込IRQ<sub>n+1</sub>が生じる迄シーケ

ンス処理を実行し、該タイマ割込IRQ<sub>n+1</sub>の発生により前述の処理を繰り返す。

#### <実施例>

第1図は本発明にかかる処理方法を実現するNC装置の要部ブロック図、第2図はタイマ割込のタイムチャート、第3図及び第4図は本発明の処理説明図である。

第1図において、11はプロセッサ、12は各種プログラムを記憶するメモリであり、12aは数値制御プログラム、12bはシーケンスプログラム、12cはCRTやキーボード等の入出力制御プログラム、12dは割込処理プログラム、12eはパートプログラム、13はRAM、14はスタック、15はインタラプトコントローラ、16はタイマである。尚、数値制御部、CRT&MDI装置等のNC制御に必要なユニットが一部省略されている。

CRTやキーボード等の入出力制御その他処理が遅れてもよいものをレベル(n-1)とし、

NCデータの読み取りや数値制御などNC制御に

絶対不可欠な数値制御処理及びシーケンス処理をレベルnとし、

レベルnの処理を中断させてレベル(n+1)の処理を実行させるための処理をレベル(n+1)とし、

レベルnの処理を実行させるためのタイマ割込をIRQ<sub>n</sub>、レベル(n+1)の処理を実行させる割込をIRQ<sub>n+1</sub>とする。尚、優先度はIRQ<sub>n+1</sub>>IRQ<sub>n</sub>である。

タイマ割込IRQ<sub>n</sub>は第2図に示すように周期T毎に(Tは一定)発生し、タイマ割込IRQ<sub>n+1</sub>はタイマ割込IRQ<sub>n</sub>発生後T<sub>2</sub>(一定)経過後に発生する。

そして、タイマ割込IRQ<sub>n</sub>の発生によりタイマ割込IRQ<sub>n+1</sub>発生迄プロセッサ11はレベルnの処理を実行し、タイマ割込IRQ<sub>n+1</sub>の発生によりレベル(n+1)の処理及びレベル(n-1)の処理を実行する。

尚、プロセッサ11はレベルnの処理においては、まず数値制御処理プログラム12aの制御下

で数値制御処理を行い(T<sub>1</sub>)、ついでシーケンスプログラム12bの制御下でシーケンス処理を行う(T<sub>2</sub>)。ここで、数値制御処理時間T<sub>1</sub>はシステム構成に応じて変化し、システム構成が大きくなれば数値制御処理時間T<sub>1</sub>は長くなり(シーケンス処理時間T<sub>2</sub>は短くなる)、システム構成が小さくなればT<sub>1</sub>は短くなる(シーケンス処理時間T<sub>2</sub>は長くなる)。

(a)さて、入出力制御プログラム12cに基づいてレベル(n-1)の処理を実行している際に、タイマ16からタイマ割込IRQ<sub>n</sub>が発生すれば、インタラプトコントローラ15はプロセッサ11に割込要求IRQとその割込レベル(n)を入力する。

(b)これにより、プロセッサ11は割込処理プログラム12dの制御下で所定の割込処理を行う。すなわち、各種レジスタの内容や次に実行すべき入出力制御プログラム12cの位置を示すプログラムポインタ等を順次スタック14に格納する(第3図(A)参照)。

## 特開昭62-236006 (4)

(f) ついで、プロセッサ11は数値制御プログラム12aに基づく数値制御処理を実行する( $T_1$ )。

(g) 数値制御プログラム12aの末尾にはRAM13の所定のアドレスの内容を参照するコマンドが入っている。尚、該アドレスには、後述するように次に実行すべきシーケンスプログラム12bの位置(プログラムポインタ)SPNO.が記憶されている。従って、プロセッサ11は数値制御処理の終了後に該プログラムポインタSPNO.を読み取る。

(h) ついで、プロセッサ11は該プログラムポインタSPNO.が指示する位置からシーケンスプログラム12bによるシーケンス処理を再開する( $T_2$ )。

(i) そして、タイマ割込IRQ<sub>n+1</sub>が生じる迄シーケンス処理を実行する。

(j) シーケンス処理の実行中に、タイマ16からタイマ割込みIRQ<sub>n+1</sub>が発生すれば、インタラプトコントローラ15はプロセッサ11に割込要求IRQとその割込レベル(n+1)を入力する。

(k) これにより、プロセッサ11はシーケンス処理を中断すると共に、プロセッサ内の各種レジスタの内容や次に実行すべきシーケンスプログラムの位置(プログラムポインタ)SPNO.等をスタック14に記憶する(第3図(B)のn参照)。

(l) しかる後、プロセッサ11は該スタック14からレベルnに応じた退避データをRAM13の所定の記憶域13aに記憶する(第3図(C))。

(m) ついで、プロセッサ11はIRQ<sub>n</sub>、IRQ<sub>n+1</sub>のインタラプトフラグを解除し、スタック14から(n-1)レベルに応じたデータを各種レジスタに回復し、IRQ<sub>n+1</sub>へリターンして入出力制御プログラム12cに基づきCRT表示やキーイン処理等を実行する。

そして、タイマ割込IRQ<sub>n</sub>が発生すれば以後ステップ(h)以降の処理を繰り返す。以上により、第4図に示すように符号矢印順に順次、入出力制御プログラム処理→数値制御プログラム処理→シーケンスプログラム処理が実行される。

尚、以上ではスタックを用いた場合であるが、

RAMにスタック領域を設けると共に、読み/書きするアドレスを指示するスタックポインタを用意してスタックに替えることができる。

#### <発明の効果>

以上本発明によれば、数値制御処理プログラムの末尾に次に実行すべきシーケンスプログラムの位置を参照するコマンドを入れておき、該コマンドにより数値制御処理からシーケンス処理に移行するように構成したから、該コマンド実行迄の時間(数値制御処理時間 $T_1$ )がシステム構成に応じて変化し、それに応じてシーケンス処理時間も変化するようになったからプロセッサの使用効率を向上できる。

#### 4. 図面の簡単な説明

第1図は本発明にかかる処理方法を実現するNC装置の要部ブロック図、

第2図はタイマ割込のタイムチャート、

第3図及び第4図は本発明の処理説明図、

第5図及び第6図はシーケンス処理説明図である。

11・・・プロセッサ、

12a・・・数値制御プログラム、

12b・・・シーケンスプログラム、

12c・・・入出力制御プログラム、

12d・・・割込処理プログラム、

13・・・RAM、

14・・・スタック、

15・・・インタラプトコントローラ、

16・・・タイマ

特許出願人

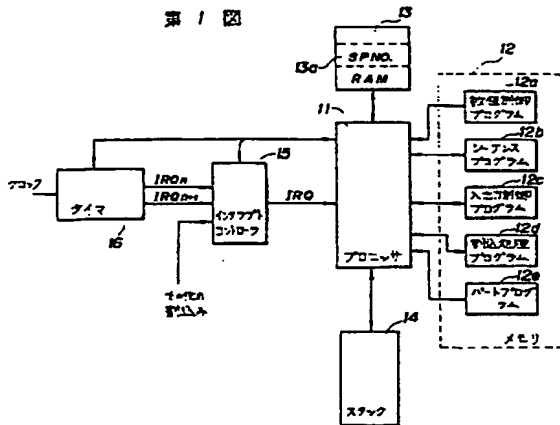
ファナック株式会社

代理人

弁理士 齊藤千幹

特開昭62-236006 (5)

第 1 圖



第 2 図

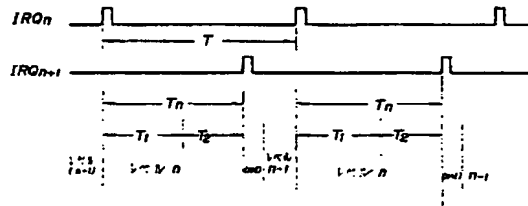


圖 3 梁

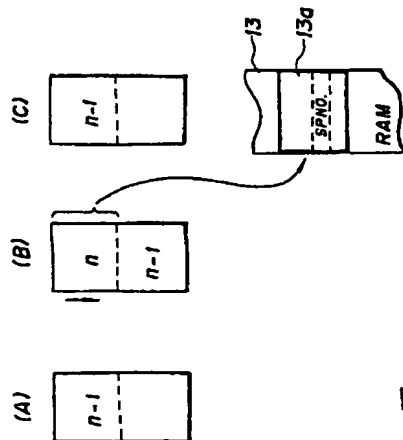


圖 4 縣

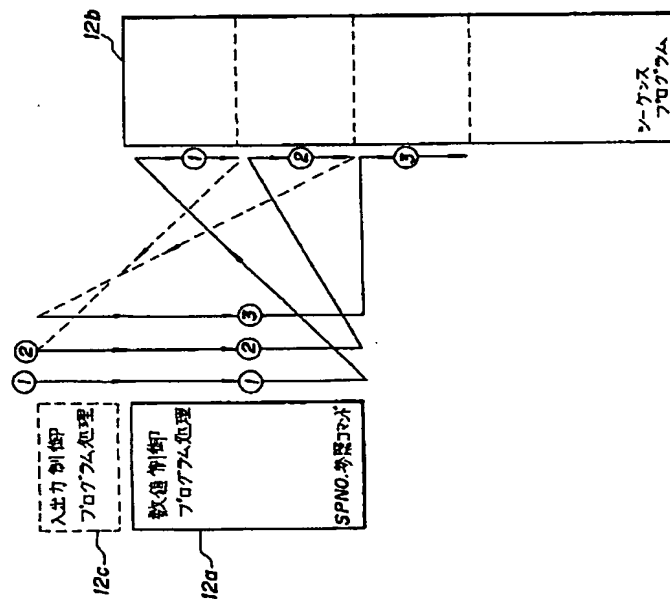


圖 6 示

[illegible]

亦5圖

